

基于 DDWS 的 Chirp 波形产生器的电路设计与优化

文德钢, 林基明, 樊孝明

(桂林电子科技大学 信息与通信学院, 广西 桂林 541004)

摘 要: 介绍了基于直接数字波形合成技术(DDWS)的线性调频(Chirp)波形产生系统的设计. 提出了两种采样参考时钟源设计方案, 一种是由 FPGA 提供, 另一种是由时钟芯片提供. 将不同参考时钟下数模转换器输出 Chirp 信号的性能作了比较, 通过优化时钟设计来提升了波形产生器的性能. 所研制的系统具有信噪比高, 结构简单, 时钟精度高等优点.

关键词: 时钟抖动; 雷达信号; 高速无线通信; Chirp

中图分类号: TN92

文献标识码: A

文章编号: 1000-7180(2013)12-0108-05

A Chirp Waveform Generator Based on DDWS

WEN De-gang, LIN Ji-ming, FAN Xiao-ming

(College of Information Communication, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: This paper reports a circuit design of waveform synthesis for chirp signal using DDWS(Direct Digital Waveform Synthesis). Two schemes are developed to generate a clock signal. In the first method, the clock signal is provide by FPGA. And in the second one, it is provided by a clock generator. This paper compares system performance to generate chirp waveform from these two schemes. System performance is improved by optimizing the design of the clock generating circuit. The system designed in this paper has a high SNR, a simple structure, and a high precision clock.

Key words: clock jitter; radar signal; high rate wireless communication; chirp

1 引言

Chirp 信号具有隐蔽性强, 高处理增益, 多径分辨能力强, 瞬时功率低等优点, 已在超宽带通信、测距、定位等领域得到广泛应用^[1-3]. 目前, 无线通信系统、雷达系统中常采用直接数字合成(Direct Digital Synthesizer, DDS)技术产生 Chirp 信号^[4]. DDS 可分为直接数字频率合成(Direct Digital Frequency Synthesis, DDFS)和直接数字波形合成(Direct Digital Waveform Synthesis, DDWS). 在 DDFS 技术中, 采样频率是固定的. 当产生信号的函数波形相同而频率不同时, 仅仅改变频率控制字就行, 而不需要将波形查找表中的数据作任何变动. DDFS 在产生

常规窄带信号时质量较好, 且频率切换速度快. DDFS 通过取相位累加器的高 M 位作为正弦查找表地址来解决存储器容量有限的问题, 但由此产生了相位截断, 在输出信号中引入杂散. 同时, 当波形突变时易失真. DDWS 以采样频率逐点输出信号波形数据, 只需提前将波形数据导入存储器中即可. 在产生信号时, DDWS 需提前计算信号波形点数与采样时钟频率的关系, 一旦将数据导入存储器, 信号的频率就将固定下来. 在产生常规信号时, DDWS 较 DDFS 复杂, 且不能随意改变信号频率. 但 DDWS 不存在相位截断问题, 在用作产生不要求频率易变的非常规信号(如: Chirp 信号)时, 能更精确地还原波形. 同时, 采用 DDWS 技术可以与预失真和相位

收稿日期: 2013-01-20; 修回日期: 2013-03-28

基金项目: 国家自然科学基金项目(61071088); 广西无线宽带通信与信号处理重点实验室基金(11105); 桂林市科学研究与技术开发项目(20120104-3)

调制结合,而采用 DDFS 技术却不具备这种潜力.用 DDWS 产生 Chirp 信号具有结构简单,精度高的优点,是一种极具竞争力的方案.

王俊等^[5]利用 FPGA (Field Programmable Gate Array) 与高速 DAC 产生合成孔径雷达 (SAR) 信号,其中 DAC 的输入数据信号、时钟和其他控制信号均由 FPGA 提供,由于其采样时钟源由 FPGA 提供,由此产生的信号精度得不到保障. Zhao^[6]分析了 DAC 重构信号时会对信号波形幅度产生函数调制作用,并提出了采用数字化预畸补偿措施可以抑制 DAC 带来的信号波形幅度误差,这是从算法层面减少 DDWS 合成波形过程中的误差和噪声,但没有从硬件的角度对优化信号产生系统的性能作研究. 江晓阳等^[7]利用高速 FPGA、高速 DAC 以及高性能的低抖动时钟产生芯片,采用 DDFS 和 DDWS 两种方式进行数字 Chirp 波形设计,但是也未对波形产生器中的时钟电路设计与优化作进一步论述. 本文利用 DDWS 技术设计一套 Chirp 波形产生系统,通过实验测试采样参考时钟对 DAC 转换精度的影响,分析了如何优化时钟设计来提升波形产生器的性能.

2 Chirp 信号产生的基本理论

Chirp 信号的数学表达式为

$$s(t) = a(t)\cos(2\pi f_0 t + \pi k t^2), t \in [-T/2, T/2] \quad (1)$$

式中, $a(t)$ 为 Chirp 信号矩形脉冲包络, f_0 为信号中心频率, k 为调频斜率, T 为脉冲宽度, $k = B/T$, B 为信号带宽.

该信号频率变化范围为 $[f_0 - B/2, f_0 + B/2]$, 最高频率为 $f_0 + B/2$, 根据奈奎斯特定律, 要使恢复信号无混叠, 需满足采样频率 $f_s \geq 2(f_0 + B/2)$. 在现代高速通信系统中, 往往是在较高频段上进行信号的传输, 如 IEEE802.11 协议所采用的 2.4 GHz. 由于 DAC 性能及成本所限, 在高达几吉赫兹的频率直接产生信号不是一个好的选择. 故实际应用中选择用波形产生系统产生基带模拟信号, 再将其上变频到更高的频带进行通信. 本文中将产生最大频率范围为 $[0, 60 \text{ MHz}]$ 的基带 Chirp 信号, 故所需 DAC 的采样频率最少应为 120 MHz. 另外, 若采样频率较低, 会导致 Chirp 信号高频能量衰减较大, 造成带内不平坦. 为了提高 Chirp 信号的线性度, 采样频率 $f_s \geq 240 \text{ MHz}$, 即为信号最高频率的 4 倍以上, 才能在信号不混叠的基础上保证信号频带内的

平坦度. 在第三节中可以看到, 本文将选择 $f_s = 300 \text{ MHz}$ 作为 DAC 的采样频率. 波形产生器在发射机中的应用见图 1.

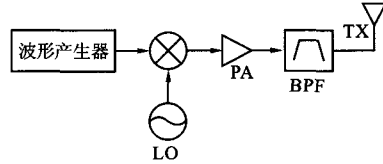


图 1 波形产生器在发射机中的应用

用直接数字合成技术产生 Chirp 信号主要分为两类: 直接数字频率合成 (DDFS) 和直接数字波形合成 (DDWS). DDFS 靠相位累加器和波形查找表来产生信号, DDFS 输出信号频率:

$$f_o = \frac{K}{2^N} f_s \quad (2)$$

式中, K 为频率控制字, N 为相位累加器的位数, 相应的查找表容量为 2^N . 当提高输出信号频率分辨率时, N 将会较大, 对存储器容量要求过高.

DDWS 将波形采样点数据存入存储器, 可以达到很高的频率分辨率. 该技术每产生一种信号, 需提前计算信号波形点数与采样时钟频率的关系, 一旦将数据导入存储器, 信号的频率就将固定下来. DDWS 技术能方便地对任意传输信号进行预失真处理, 另外, 可以方便对 Chirp 信号进行相位调制. 所以, 本文选用 DDWS 产生 Chirp 信号波形.

3 硬件设计

该 Chirp 波形产生器由硬件电路和 FPGA 两部分组成. 硬件部分主要包括时钟产生电路、数模转换电路和低通滤波电路. 地址产生器与波形存储器由 FPGA 实现. 系统中的时钟主要分为 FPGA 的工作时钟和 DAC 的采样时钟. 时钟电路的设计有两种方案. 一种是由晶振给 FPGA 提供工作时钟, 并由 FPGA 内部锁相环 (Phase Lock Loop, PLL) 输出采样参考时钟 DAC. 该方案具有结构简单, 成本较低的优点. 另外一种是由时钟芯片将晶振时钟倍频后输出两路高频率时钟信号, 一路提供 FPGA 的工作时钟, 另一路作为 DAC 的采样参考时钟. 第二种方案中的时钟精度更高, 抖动更小, 能够提升波形产生器的性能. 两种方案下的系统原理如图 2 所示. 本文将通过实验测试比较两种方案下系统的性能.

3.1 数模转换电路设计

常用 FPGA 的普通 I/O 口作为单端 CMOS 电平输入输出时, 很难支持输出信号频率超过 200 MHz 的应用. 要使波形产生器最终的转换速率达到

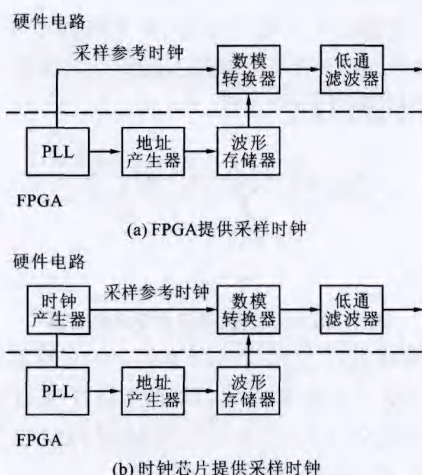


图2 两种时钟方案下的系统原理图

300 MSPS,就必须采用两个 DAC 协同交替工作的模式,或者调用 FPGA 内部高速数据通道,通过 LVDS 等高速接口将数据传给 DAC. 为了降低高速数字信号带来的影响(如串扰等),本文选取了 ADI (Analog Devices, Inc.)公司的 AD9751 芯片作为数模转换器. AD9751 是一款双路复用端口、高速、单通道、10 位 CMOS DAC,支持最高 300 MSPS 的更新速率^[8].

如图 3 所示,AD9751 的数字接口中包含了两个缓冲锁存器,分别接收来自 FPGA 的两路速率为 f_{CLK} 的数字波形信息,其中 $f_{CLK} \leq 150$ MHz. 两 DAC 以 $2f_{CLK}$ 的速率将两个缓冲锁存器并行串转换后的数据转化为波形输出. DAC 芯片利用双路复用功能以相对较低的数字信号传输速率即可获得两倍的 DAC 更新速率,减少了因高速数字信号产生的高频噪声和数字信号线间的串扰,降低了对 PCB 制作工艺的要求.

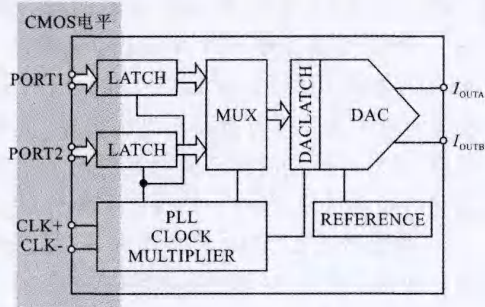


图3 AD9751 简化功能框图

AD9751 数据接口和时钟接口均为 CMOS 电平驱动,FPGA 数据输出端口配置为 CMOS 电平模式,同时 AD9751 采样参考时钟输入设计为 CMOS 电平类型.

AD9751 内部锁相环(Phase Lock Loop, PLL)可以配置为使能或禁用状态. PLL 使能时,将外部输入频率为 f_{CLK} 参考时钟倍频至 $2f_{CLK}$,作为 DAC 的采样时钟,同时控制内部缓冲锁存器有序工作. 当 PLL 配置为禁用时,外部输入到 DAC 芯片的时钟 $2f_{CLK}$ 将直接作为采样时钟和内部缓冲锁存器触发时钟. 考虑到简化时序设计,本文将启用芯片内部 PLL.

为了得到最佳的性能,数模转换电路的电源部分是整个电路设计的重要环节. 本文对 AD9751 的模拟供电 AVDD、数字供电 DVDD 和时钟供电 CLKVDD 提供独立的电源通道. 由芯片数据文档^[8]可知,芯片正常工作时每一路供电的电流都小于 50mA. 本文选择 TI (Texas Instruments) 公司的 TPS79333 作为稳压器提供 3.3 V 直流电压. 该芯片额定电流为 200 mA,能提供较高的 PSRR(Power-Supply Rejection Ratio)和极低的噪声,适合应用于 RF(Radio Frequency)、数据转换器等对噪声敏感的场所^[9]. 与此同时,电路模拟地和数字地也进行区分,以防止数字地的高频噪声对模拟电路造成干扰,影响波形输出精度. 数模转换原理图见图 4.

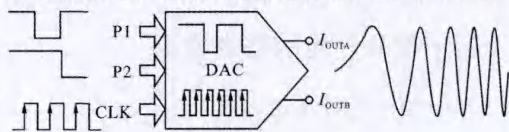


图4 数据转换原理图

3.2 时钟电路设计

时钟电路是影响数据转换器转换精度的重要因素. 相位噪声在时域表现为时钟抖动,是时钟信号最关键的指标,会制约数据转换器的信噪比. 本文选取了 TI 公司的超低抖动晶体时钟发生器芯片 CD-CM61002 提供 DAC 的采样参考时钟和 FPGA 的工作时钟. 该芯片输入参考频率范围为 21.875 MHz 到 28.47 MHz,输出频率范围为 43.75 MHz 到 683.264 MHz^[10]. 在通过芯片内部 PLL 与输出分频器后,时钟信号中的部分相位噪声得到滤除,并产生了抖动较小(输入 25 MHz,输出 150 MHz 时,相位抖动均方根 t_{RIT} 典型值为 518 fs)的参考时钟. 该芯片能提供四路 CMOS 输出,与 FPGA、DAC 的时钟接口皆匹配. 时钟电路原理图见图 5.

芯片工作模式可以通过对几个指定管脚分别提供高电平或低电平来设置,而不需要额外的 MCU. 这既降低了整体成本,也减少了开发难度. 在八位拨码开关的配置下,芯片能选择输出常用频率,如 100

MHz、150 MHz、300 MHz 等。本文选取频率为 25 MHz 的高精度温补晶振作为 CDCM61002 的时钟参考源,使芯片输出精确而稳定的参考频率。该晶振频率稳定度为 $\pm 1.0 \times 10^{-6}$ ($-10 \sim +60^\circ\text{C}$),频率精度为 $\text{Max} \pm 0.3 \times 10^{-6}$ 。

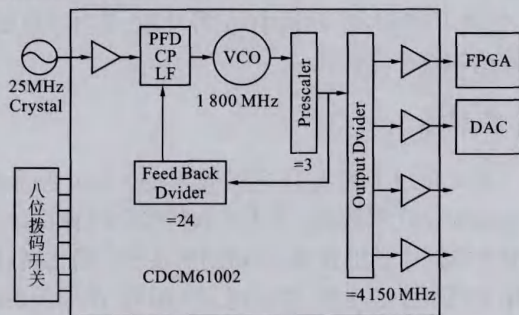


图5 时钟电路原理图

供电设计也是时钟电路设计中一个重要的环节。本文选用前述的TI公司的TPS79333为时钟芯片和有源晶振供电。

如前所述,DAC内部启用了PLL,可以将输入参考时钟二倍频。当转换频率为300 MSPS时,要求输入的参考时钟为150 MHz。为检验时钟电路对数据转换器性能的影响,本文将两种时钟方案产生的150 MHz采样参考时钟分别测量,得到各自频谱如图6所示。其中,曲线“时钟芯片”为由时钟芯片生成的150 MHz参考时钟频谱;曲线“FPGA-CLK”为由FPGA内部PLL生成的150 MHz参考时钟频谱。

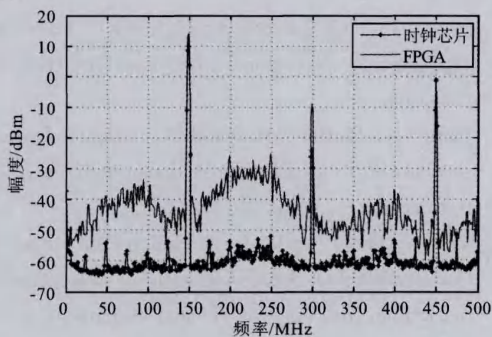


图6 150 MHz 采样参考时钟实测频谱图

由 Boris Drakhli^[11]推导出时钟相位噪声 S_ϕ 与时域抖动 Δt 的关系为

$$\Delta t_{RMS} = \sqrt{\sum_{i=1}^5 \Delta t_{RMS_i}^2} \quad (3)$$

$$\Delta t_{RMS_i}^2 = \frac{T_0^2}{\pi^2} \int_0^\infty S_\phi(f) \sin^2(\pi f \tau) df \quad (4)$$

式中, Δt_{RMS} 为时域抖动 Δt 的均方根, $T_0 = \frac{1}{f_0}$, f_0 为

标称频率, S_ϕ 是噪声单边带功率谱密度, τ 为测量时间。由式(3)与式(4)可知,时钟抖动与相噪之间存在着一定关系,时钟相位噪声在有效带宽内的积分值越大,时钟抖动值越大。

图6中,FPGA内部PLL产生的参考时钟信号相位噪声较大,在100 MHz和200 MHz处噪声功率分别达到了-38.53 dBm和-26.28 dBm。而由CDCM61002产生的参考时钟信号相应频率处噪声功率仅为-52.09 dBm和-50.84 dBm。两者功率差分别为13.56 dB和24.56 dB。由式(3)、式(4)可知,由FPGA产生的时钟比由时钟芯片产生的时钟抖动大,时钟的抖动将直接影响DAC的性能。

4 波形产生器实验测试

本文用波形产生器输出三组码元速率为1 Mb/s,采用直接扩频调制的Chirp信号波形。每组Chirp波形所占频带分别为0~10 MHz、0~30 MHz、0~60 MHz。DAC转换速率为300 MHz,每个码元周期将有300个采样点。波形数据由Matlab仿真产生,并导入FPGA中。

实验中,将分别测试由FPGA内部PLL和由CDCM61002产生150 MHz采样参考时钟下输出信号的频谱(均未经过低通滤波器)。图7所示为在时钟芯片提供采样参考时钟条件下系统产生的符号宽度1 μs ,带宽10 MHz的未经滤波的Chirp测试波形。

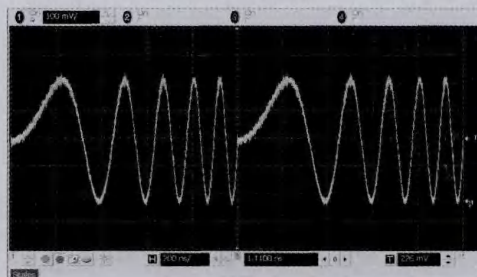


图7 符号宽度1 μs ,带宽10MHz的测试波形

图8所示分别为三组实验中信号仿真归一化频谱和实测归一化频谱的对比。图中,曲线“理论值”为在Matlab环境下用前述300个采样点作FFT仿真得出的归一化频谱;曲线“时钟芯片CLK”为由时钟芯片生成参考时钟时DAC输出信号的频谱;曲线“FPGA-CLK”为由FPGA内部PLL生成参考时钟时DAC输出信号的频谱。其中,波形产生器输出信号频谱数据由Rohde & Schwarz公司型号为ZVL的频谱分析仪测得并导入Matlab。

图8(a)中显示,在生成Chirp信号带宽为10

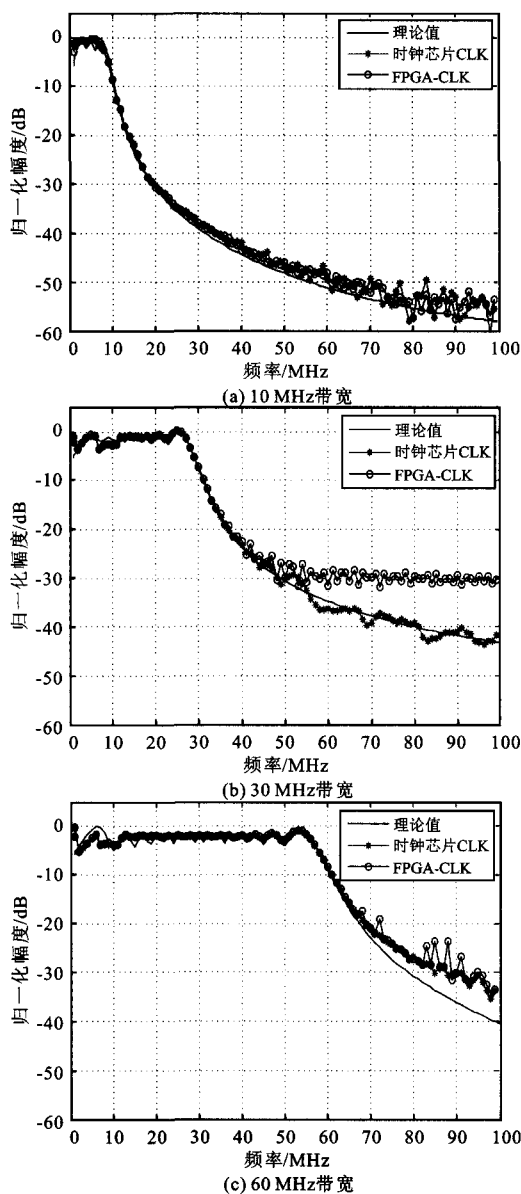


图 8 不同带宽下仿真与实测频谱对比

MHz 时,两个参考时钟下波形产生器的性能接近理论值。图 8(b)中显示,在带宽为 30 MHz 时,由 FPGA 内部 PLL 生成参考时钟所生成的信号信噪比恶化严重,而由时钟芯片生成参考时钟所生成信号仍接近理论值。图 8(a)和(b)可看出,当生成较低频率信号时,采样时钟抖动对 DAC 性能的影响较小;随着输出信号频率和带宽的增加,时钟对 DAC 性能的影响也在增加,直接导致 SNR 的降低。图 8(c)中,两个实测信号的信噪比都比理论值低,但是使用时钟芯片时的 SNR 仍然要比未使用时钟芯片时的高。说明在时钟影响输出信号 SNR 的同时,随着信号带宽与频率的增加,DAC 本身由于热噪声和非线性误差的影响,性能开始下降。此时,时钟的抖动和 DAC 本身的非理想特性共同制约着系统的性能。

以上实验证明,当输出信号的频率和带宽增加时,使用时钟芯片方案的系统性能要比未使用时钟芯片方案的系统性能好。同时,使用时钟芯片的方案下系统的性能完全满足设计要求。在将波形产生器合成的 Chirp 信号上变频到较高频段,符号宽度 $1 \mu\text{s}$,带宽 10 MHz 的测试中,信号功率、带内平坦度、信噪比等均符合要求。

5 结束语

本文介绍了基于 DDWS 技术的 Chirp 波形产生系统的设计和测试,分析了如何优化时钟设计来提升波形产生器的性能。所研制的系统信噪比高,能使用更低增益的功放,传输更远的距离。在降低系统功耗的同时对带外其他通信系统的干扰也将减少。同时,系统结构简单,操作简便,不需要额外的 MCU 进行辅助,仅需要利用较少的 FPGA 资源就能产生 Chirp 信号,对 FPGA 性能要求较低,整体成本得到控制,且能减少系统开发时间。该系统时钟精度高,利于无线通信系统的时间同步,减少由时间漂移引起的误差。

参考文献:

- [1] Che Shuliang, Zhang Hongxin, Lu Yinghua, et al. Generation of orthogonal UWB shaping pulses based on compressed chirp signal [J]. Journal of Beijing University of Posts and Telecommunications, 2007, 14 (2): 99-102.
- [2] nanoLOC TRX Transceiver (NA5TR1) User Guide Datasheet [J]. Nanotron Technologies GmbH, 2006, 1 (1): 1-60.
- [3] Tierney J, Rader C M, Gold B. A digital frequency synthesizer [J]. IEEE Transactions on Audio And Electroacoustics, 1971, 19(1): 48-57.
- [4] Serdal Ayhan, Viet Vu-Duy, Philipp Pahl, et al. FPGA controlled DDS based frequency sweep generation of high linearity for FMCW radar systems [C]// The 7th Microwave Conference (GeMiC). German: IEEE, 2012: 1-4.
- [5] 王俊,李伟,钟睿. 高速高精度 DAC 模块设计及应用 [J]. 数据采集与处理, 2005, 20(2): 240-243.
- [6] Zhi-yong Zhao, Wen-ge Chang, et al. Pre-distortion for DDWS System [C]// The 19th International Radar Symposium. Warsaw, Poland: IEEE, 2012: 23-25.
- [7] 江晓阳,张云华. L 波段双模式宽带数字 Chirp 设计 [J]. 测试学报, 2012, 26(5): 411-416.

(下转第 116 页)

测试数据集中,迁移学习模型对常规数据集下的 DCG 值有很大的改进.

表 1 模型性能比较表

模型	NDCG ₅ ,yegular	NDCG ₅ ,demote	NDCG ₅ ,nodemote
基础模型	0.650 7(0.0%)	0.807 6(0.0%)	0.807 9(0.0%)
复合模型	0.696 4(6.8%)	0.802 7(-0.5%)	0.806 7(-0.2%)
权重模型(1:1)	0.713 4(9.6%)	0.810 3(0.2%)	0.813 5(0.7%)
权重模型(1:2)	0.712 6(9.4%)	0.804 6(-0.2%)	0.810 6(0.2%)
权重模型(1:3)	0.710 2(9.0%)	0.800 6(-0.8%)	0.805 8(0.3%)
迁移学习模型	0.676 2(3.7%)	0.876 3(8.4%)	0.886 4(9.6%)

6 结束语

本文提出了一个搜索敏感新信息的模型,将从 Web 页面中,通过监控一定时间区间内查询条件的数量和文档增长的数据,判断哪些信息属于敏感新信息.利用新信息的多个时间特征,结合传统搜索引擎下根据检索条件得到的检索结果,基于集成的思想,实现包含新信息数据的敏感新信息排序算法,解决新信息数据不足的问题.实验表明,该模型既保证常规信息的相关性又很好地实现了对新信息排序.

参考文献:

[1] Baeza-Yates R, Saint-Jean F, Castillo C. Web dynamics, age and page quality[C]// String Processing and information Retrieval. Mideplan, Chile; IEEE, 2002: 453-461.

[2] Berberich K, Vazirgiannis M, Weikum G. Time-aware authority rankings[J]. Internet Math, 2005, 2(3): 301-332.

[3] Li X, Liu B, Yu P. Time sensitive ranking with application to publication search [C] // Proceedings of Eighth IEEE International Conference on Data Mining.

[s. l.];IEEE, 2008;893-898.

[4] Pasca M. Towards temporal web search[C]// proceedings of the 2008 ACM symposium on Applied computing. NY, USA;ACM, 2008;1117-1121.

[5] Arikan I, Bedathur S, Berberich K. Time will tell:Leveraging temporal expressions in[C]// proceedings of the second ACM International Conference on web Search and Data Uining Breaking Results;ACM,2009.

[6] Zhang R,Chang Y, Zheng Z, et al. Search result re-ranking by feedback control adjustment for time-sensitive query[C]// Proceedings of the North American Chapter of the Association for Computational linguistics-Human Language Technologies (NAACL HLT) Proceedings of Stroudsburg, PA, USA; IEEE, 2009: 165-168.

[7] Konig A C, Gamon M, Wu Q. Click-through prediction for news queries[C]// Proceedings of the 32nd Annual ACM SIGIR Conference on Research and Development in formation Retrieval. [s. l.]: ACM, 2009: 347-354.

[8] Jarvelin K, Kekalainen J. Cumulated gain-based evaluation of it techniques[J]. ACM Transactions on information systems,2002(20);422-446.

作者简介:

王 文 男,(1974—),讲师,硕士研究生.研究方向为信息检索与智能信息处理.

王树锋 男,(1968—),博士,副教授.研究方向为智能信息处理.

朱锡芳 男,(1965—),博士,教授.研究方向为光学工程、应用电子学.

(上接第 112 页)

[8] ADI 公司. AD9751(10-Bit, 300 MSPS High Speed TxDAC+ D/A Converter)[DB/OL]. [2013-01-20]. http://www.analog.com/static/imported-files/data_sheets/AD9751.pdf.

[9] TI 公司. TPS79333(超低噪声、高 PSRR、快速射频、高电平启用的 200mA 低压降稳压器)[DB/OL]. [2013-1-20]. <http://www.ti.com.cn/cn/lit/ds/sym-link/tps79333.pdf>.

[10] TI 公司. CDCM61002(Two Output, Integrated VCO, Low-Jitter Clock Generator)[DB/OL]. [2013-01-20]. <http://www.ti.com.cn/cn/lit/ds/symlink/cdcm61002.pdf>.

[11] Boris Drakhlis. Calculate oscillator jitter by using phase-noise analysis. Microwaves & RF[R]. 2001;82-157.

作者简介:

文德钢 男,(1988-),硕士研究生.研究方向为无线通信和信号链技术.

林基明 男,(1970-),博士,教授,博士生导师.研究方向为无线通信技术和超声电子学.

樊孝明 男,(1971-),硕士,讲师.研究方向为射频微波电路、高速数字信号传输和无线通信技术.